

トランジスタ整合回路設計

インピーダンス整合の必要性

トランジスタに信号を増幅させる場合、できるだけ大きな信号を得るためには、信号源の持ちうる電力をすべてトランジスタに注ぎ込み、トランジスタが増幅した電力をすべて負荷に注ぎ込む必要があります。

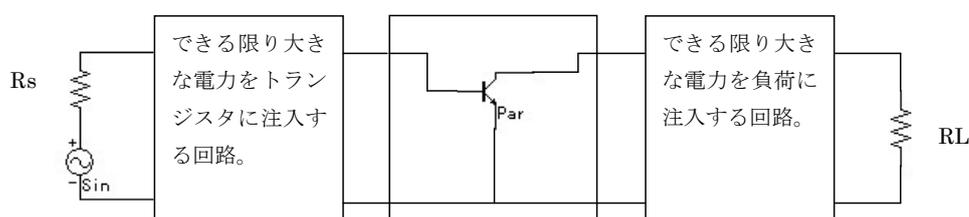


図 1 トランジスタで電力増幅を行うときの回路

電力を無駄無く注ぎ込むためには、入力する側とされる側が、うまく繋がっている必要があります。この仲立ちをするものが整合回路です。受け側となるインピーダンスを負荷インピーダンス Z_r とし、送り側のインピーダンスを電源インピーダンス Z_s とすると、 Z_r と Z_s が互いに共役になるときに、負荷に供給される電力は最大になります。これを「最大電力供給の定理」といいます。図 2-a のように、電源を含む任意の回路網の開放電圧を E とし、a-b 端子より見たインピーダンスを Z_s とすると、テブナンの定理およびノートンの定理を用いることで、複雑な回路網も図 2-b、図 2-c のように簡略化することができます。負荷側もまた同様で、任意の回路網の入力インピーダンスは一つのインピーダンスまたはアドミッタンスとして等価変換することができます。

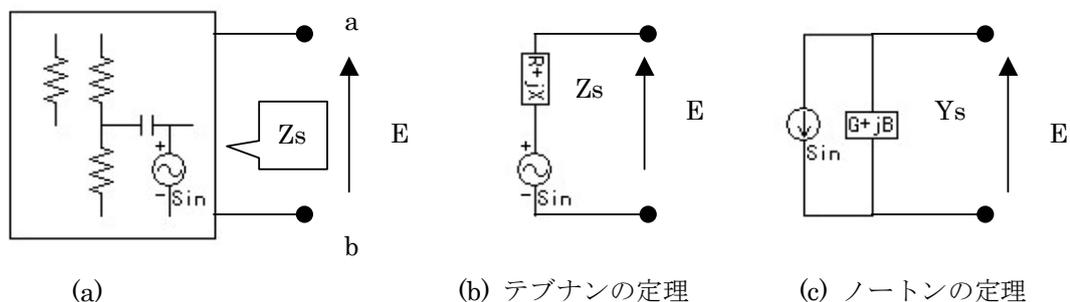


図 2 テブナンの定理とノートンの定理

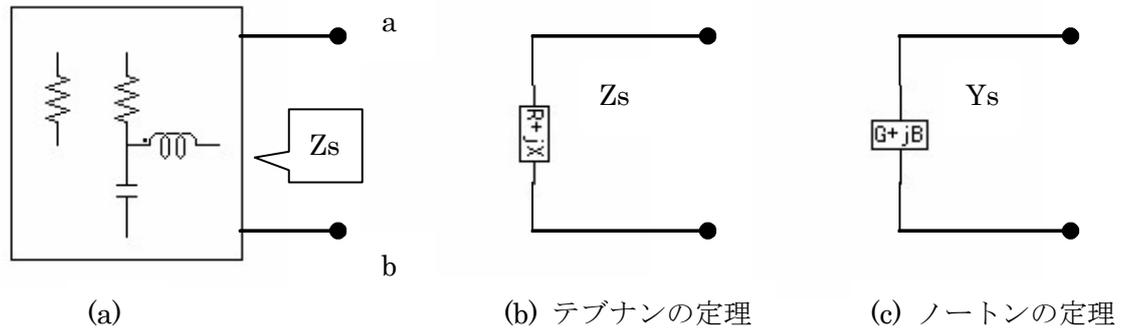


図3 負荷側の等価変換

〈図20〉 マッチング回路

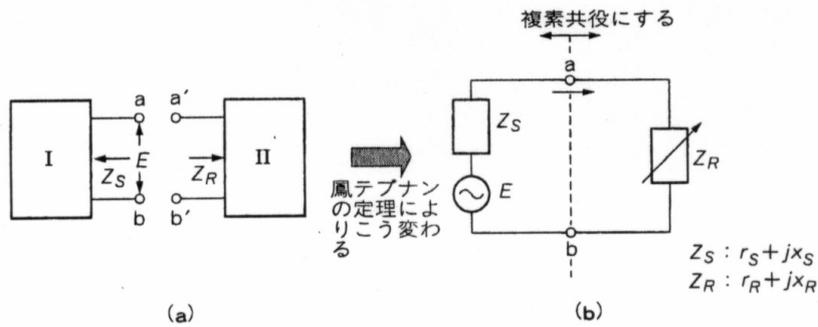


図4 マッチング回路

これらの定理を用いて変換した簡略回路を用いて、マッチング回路を再び考えると、図4のようにシンプルな回路として書くことができます。図4-(b)において、最大の電力を負荷に供給するという意味は、負荷インピーダンス Z_r の実数部での発熱量が最大になるということと同じになります。図4-(b)の回路を流れる電流は、ソース及び負荷のインピーダンスをそれぞれ、

$$Z_s = r_s + jx_s$$

$$Z_r = r_r + jx_r$$

とおくと、

$$I = \frac{E}{r_s + r_r + j(x_s + x_r)} \quad \text{--- (1)}$$

となり、 r_s で消費される電力は、(2)式のようになります。

$$P = |I|^2 r_r = \frac{|V|^2 r_r}{(r_s + r_r)^2 + (x_s + x_r)^2} \quad \text{--- (2)}$$

(2)式において P を最大にする条件は、

$$\frac{\partial P}{\partial rr} = 0$$

$$\frac{\partial P}{\partial xr} = 0 \text{---(3)}$$

を同時に満足する場合ですから、(2)式を微分し(3)式を適用すると、P を最大にする条件は、(4)式のようになります。

$$rr + jxr = rs - jxs \text{---(4)}$$

(4)式は、負荷のインピーダンスがソースインピーダンスの複素共役であれば、最大の電力が供給されることを示しています。また、この時の電力は(5)式のようになり、これを「最大電力供給の定理」と言います。

$$P = \frac{|V|^2}{4rr} \text{---(5)}$$

入出力整合回路

トランジスタ整合の場合、電力利得を最大にするには、信号源の電力を共役整合により、できるだけ多くトランジスタに供給し、トランジスタで増幅された電力を、再び共役整合を用いて、十分に負荷に供給するようにしなければいけません。この場合、整合回路は入力側と出力側の両方に必要になりますが、ここで、ここで少々コツが必要になります。

合わない(?) 設計方法

半導体特性が S パラメータで与えられている場合、ものの本によれば、しばしば、” S11 の共役点、S22 の共役点に、それぞれマッピングを用いて整合させる” とあります。しかし、これは相対するポート、つまり、整合しようとしている反対側のポートに S パラメータの正規化値（一般には 50Ω）が接続されている場合にのみ有効で、相対するポートに正規化値以外のインピーダンスが接続された場合は、この限りではなくなります。実際に、シミュレータを用いてこの事実を確認してみます。2SC4226 の Vce=3V、Ic=7mA 時の S11 は、

$$S_{11} = 0.473 \angle 173.7$$

ですから、スミスチャート上にプロットすると、図 5 のようになります。

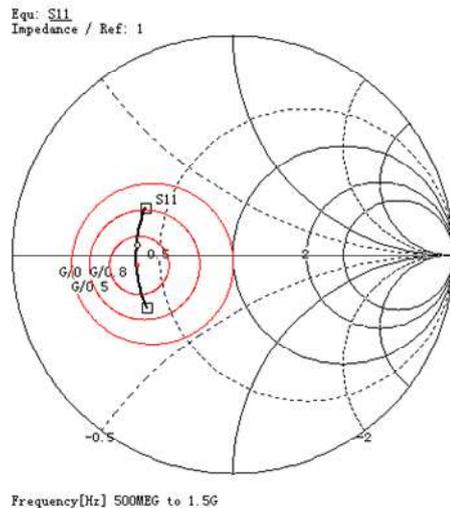


図 5 2SC4226 の 1 GHz の時の入力インピーダンスとその共役値

図5上には、1 GHzの時のS11の値とその共役値がプロットされており、また、円はそれぞれ、1 GHzにおける0 dB,0.5dB,0.8dB時の定利得円です。図5の共役点から、シリーズC及びパラLを用いて50Ωに向かう整合回路を設計すると、図6(a)のように逆L型の整合回路が出来上がります。この特性は、図6(b)のようになり、1 GHzで確かに50Ωとなります。

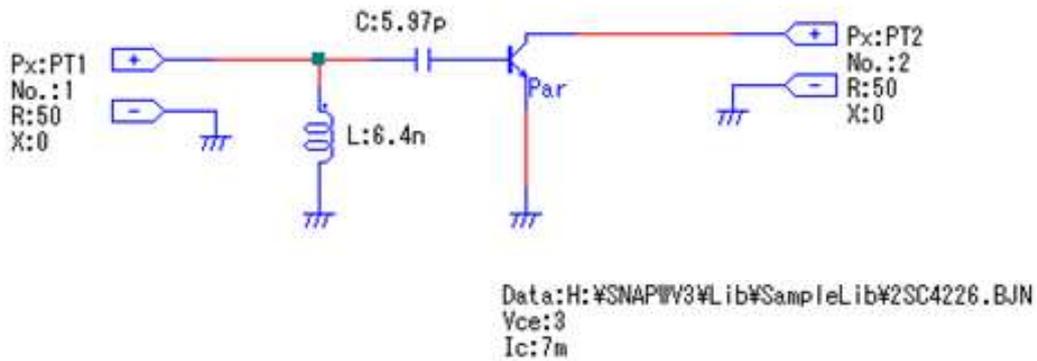


図 6(a) S11 の共役点にあわせた入力整合回路

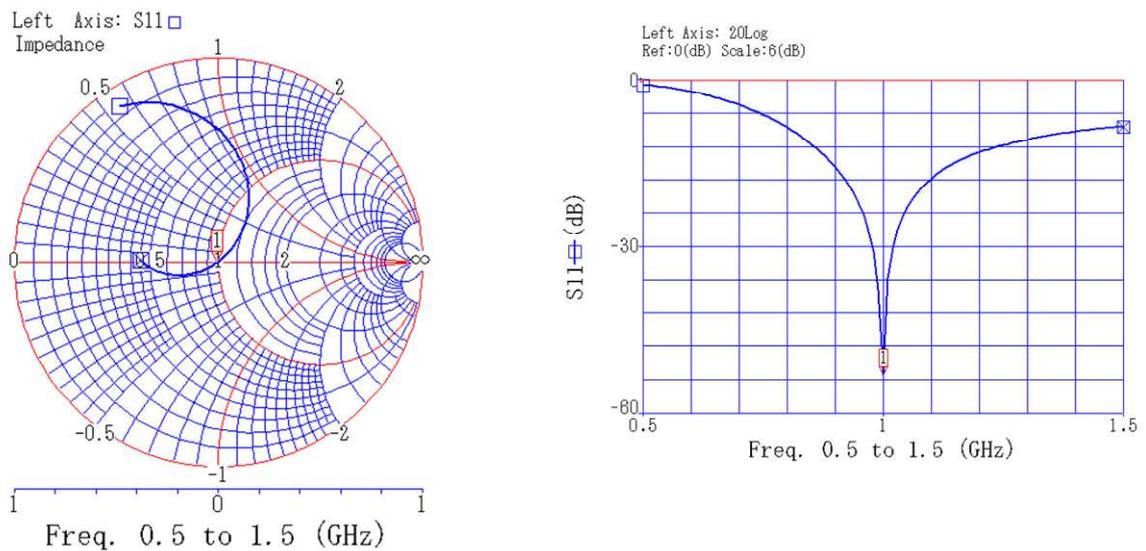


図 6(b) インピーダンス特性とリターンロス

次に、出力側にも同じ手順で整合回路を設計し接続してみます。コレクタ側から見た S パラメータ S22 は、

$$S_{22} = 0.281 \angle -57.9$$

ですから、入力側と同じようにして設計すると、図 7(a)のような逆 L 型の整合回路を設計することができます。この回路のコレクタ側からみたインピーダンスも、確かに 50Ωとなっていることが確認できます。

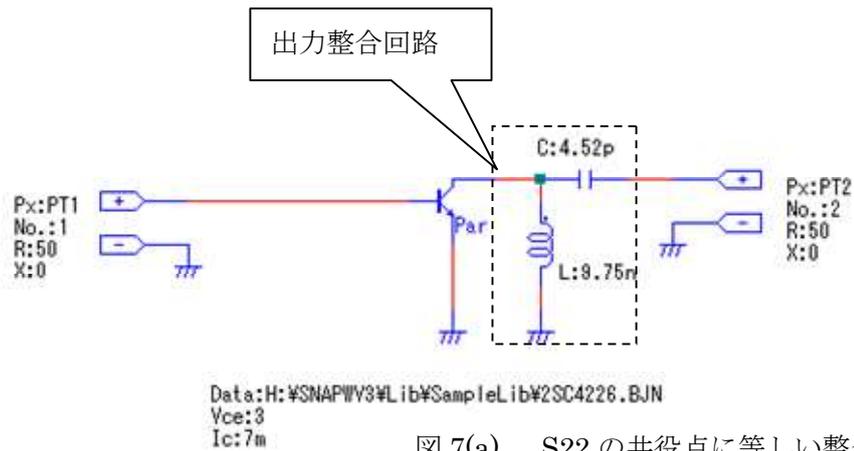


図 7(a) S22 の共役点に等しい整合回路

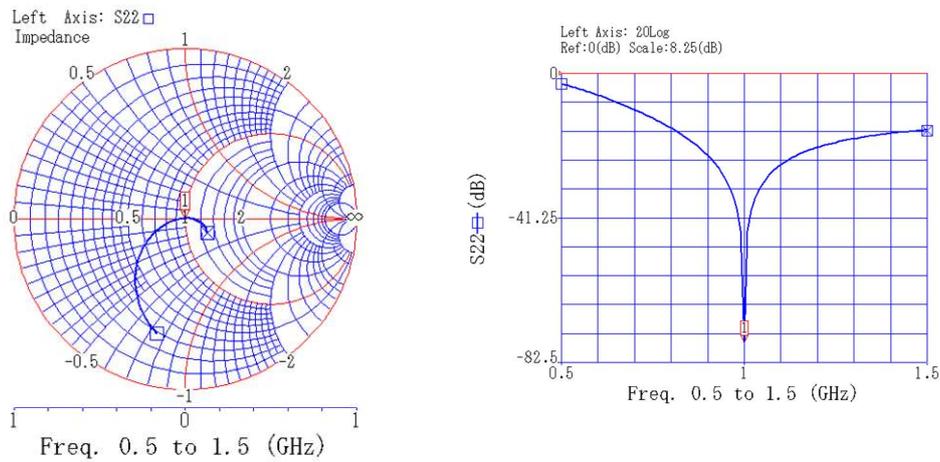


図 7(b) ポート 2 からみたインピーダンス特性とリターンロス

図 6 で設計した入力側の整合回路と、図 7 の出力整合回路の両方を組み込んで、入出力整合回路の付いた回路を作成して、特性をシミュレーションしてみます。回路は図 8(a) のようになり、その入出力インピーダンス特性は、図 8(b) のようになります。この特性を見てみると、それぞれ設計したときは $50\ \Omega$ であったにもかかわらず、組み合わせると入出力どちらも $50\ \Omega$ ではなくなっています。これは入出力整合回路を個々にシミュレーションしたときは、相対するポートのインピーダンスが $50\ \Omega$ であったのですが、入出力整合回路を両方共組み込んだ時点で相対する側は $50\ \Omega$ でなくなったためです。しかし、よく考えてみると、これは極めてあたりまえのことです。なぜなら、トランジスタの入出力間はアイソレートされているわけではなく、出力の負荷変動は入力に、また、入力のインピーダンスの変動は出力に、そのまま現れるからです。

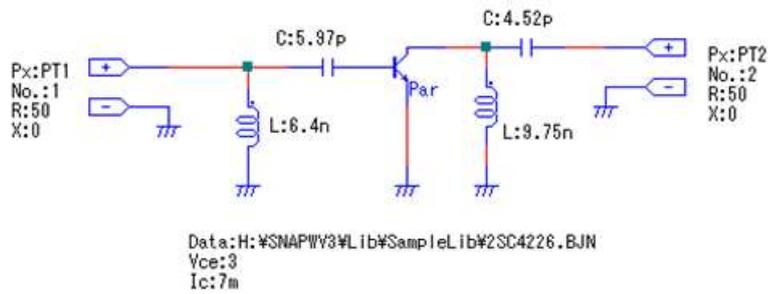


図 8(a) 入出力整合回路を組み込んだ回路

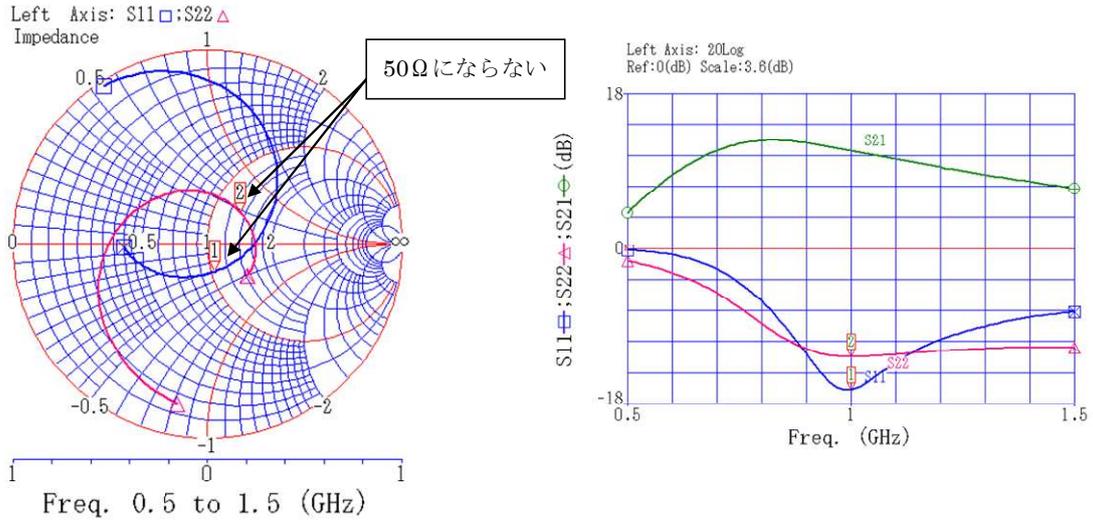


図 8(b) インピーダンス特性とリターンロス

このことは、トランジスタではなく、S21、S12が存在する単純な抵抗回路で考えるとよくわかります。例えば図 9 はπ型に抵抗が接続された 4 端子回路です。この回路のポート 1 から見たインピーダンスは、ポート 2 のインピーダンスを $RL[\Omega]$ とすると、

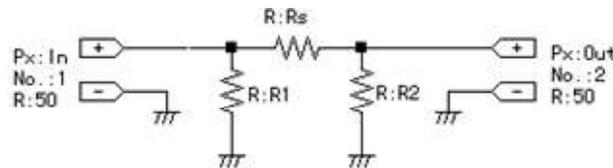


図 9 抵抗のみの 4 端子回路

$$Z_{in} = \frac{1}{\frac{1}{R_1} + \frac{1}{R_s + \frac{R_2 R_L}{R_2 + R_L}}} \quad \text{--- (6)}$$

(6)式のようになります。(6)式は、RL の関数になっていますので、分母の第 2 項が無視できない限り、 Z_{in} は RL の影響を受けます。しかし、 R_s が非常に大きい場合はどうでしょう。分母の第 2 項は 0 に近づき、 $Z_{in}=R_1$ となり、RL の影響を受けなくなります。これは、 S_{21}, S_{12} が 0 になることを意味しています。 S_{21}, S_{12} が 0 ということは、2つのポートは完全にアイソレートされているわけで、ポート 1 側と 2 側は独立していることとなります。しかし、トランジスタにおいて S_{21}, S_{12} が共に 0 ということは考えられませんので、相対するポートに付けたインピーダンスにより、入力インピーダンスは変化することは当然のことといえます。トランジスタ回路で、カスコード接続を用いて回路を安定させる方法があります。これはカスコード接続にすると、帰還容量を抑えることができ、換言すると回路の S_{12} を小さくすることができ、入力インピーダンスの変動を受けにくくなるためです。

最大有能電力利得を得るための整合回路設計

前項のシミュレーションで、入力の整合回路を変更すれば、出力のインピーダンスまで変わってしまう。また、出力の整合回路を変更すれば、入力インピーダンスも変わってしまう。さて問題は、このジレンマを解決するためには、どうしたらよいか。ということになります。結論をいうと、負荷を付けた状態で考えればよいわけですが、ここで、 S パラメータの定義式に戻って、考えてみます。 S パラメータの定義式は、(7)式のように定義されています。

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad \text{--- (7)}$$

(7)式で、 $a_1/b_1 = \Gamma_s$ 、 $a_2/b_2 = \Gamma_L$ とし、反射係数 Γ_L なる負荷を付けた場合、トランジスタの入力反射係数は、(8)式のように表されます。また、 Γ_s なるソースを付けたときのトランジスタの出力反射係数は、(9)式となります。

$$\Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad \text{--- (8)}$$

$$\Gamma_{out} = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \quad \text{--- (9)}$$

入出力のインピーダンスが同時に整合した場合には、反射係数の間にも複素共役の関係が成り立ちますので、

$$\Gamma_L = \Gamma_{out}^* = \left(S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1 - S_{11}\Gamma_s} \right)^* \quad \text{--- (10)}$$

$$\Gamma_s = \Gamma_{in}^* = \left(S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \right)^* \quad \text{--- (11)}$$

となります。この 2 式を同時に満足する Γ_{out} 、 Γ_{in} を求めることで、設計すべき整合回路の反射係数を得ることができます。この求解は 10、11 式を連立して解くことで得られ、

$$\Gamma_s = M^* \left(\frac{B_1 \pm \sqrt{B_1^2 - 4|M|^2}}{2|M|^2} \right) \text{----(12)}$$

$$\Gamma_L = N^* \left(\frac{B_2 \pm \sqrt{B_2^2 - 4|N|^2}}{2|N|^2} \right) \text{----(13)}$$

ここで、

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2$$

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2$$

$$N = S_{22} - \Delta S_{11}^*$$

$$M = S_{11} - \Delta S_{22}^*$$

となります。そして、その時の最大有能電力利得は、

$$G_{A_{\max}} = \frac{S_{21}}{S_{12}} |K - \sqrt{K^2 - 1}| \text{----(14)}$$

となります。ただし、これが成立するのは、 $K > 1$ 、 $B_1 > 0$ の場合ですので、 K ファクタは必ず 1 以上である必要があります。

回路構成による対処方法

ここで、(8),(9)式について少し検討を行ってみます。(8)式についてみれば、第 2 項は Γ_L の関数になっており負荷側の反射係数に影響されていることがわかります。(9)式もまた、第 2 項には $S_{12}^* S_{21}$ の項があり、これらが存在するために第 2 項が存在することもわかります。つまり、仮に S_{12} が 0 であれば第 2 項はなくなるわけで、(8),(9)式共にソース側のインピーダンスと負荷側のインピーダンスの影響を受けなくなります。カスコード接続のような構成は帰還容量を減少させ、こういった効果を得ることができます。

K ファクタを 1 以上にする

トランジスタの場合、一般に周波数が下がるに連れ S_{21} が大きくなるため、 K ファクタは、しばしば低い周波数領域で 1 以下になります。(12),(13)式が成立するには、 K ファクタが 1 以上である必要がありますので、トランジスタに何らかの工夫をし、 K ファクタを 1 以上にする必要があります。一般的には抵抗を挿入するという手法が多く用いられます。抵抗の位置は、例えば、図 10 のような位置に挿入します。この 3 つの挿入位置について、電力利得と K ファクタの両方の点から検討を行ってみます。図 11 はそれぞれの挿入位置において、 K ファクタが 1.05~1.1 の範囲になる抵抗を抽出し、その抵抗値を $\pm 50\%$ 変化させた場合の、 K ファクタと最大有能利得を調べたものです。ベースに挿入する(a)タイプでは、抵抗の変化による K ファクタの変化はあまりなく調整が難しく思われます。フィードバック型の(b)タイプでは、低い周波数での K ファクタの変化が大きくなっています。コレクタに直列に挿入した(c)タイ

プは、周波数に対して比較的均等に变化していることがわかります。パワーアンプ系の場合は(c)の位置は電流が大きいですから問題になりますが、小信号系の場合は、この位置の挿入は扱いやすいと思われます。今回は電流を流す場合も考慮して、(b)タイプのフィードバック型を用いてみます。

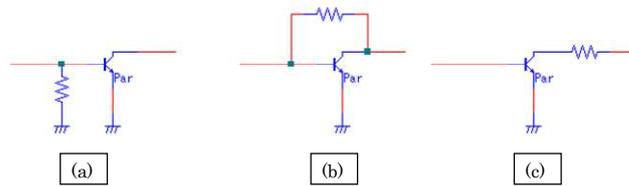
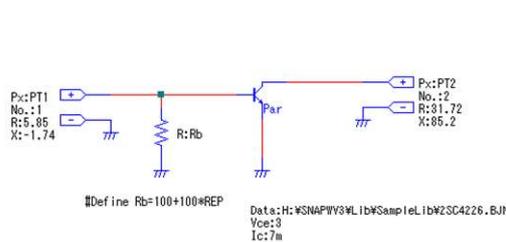
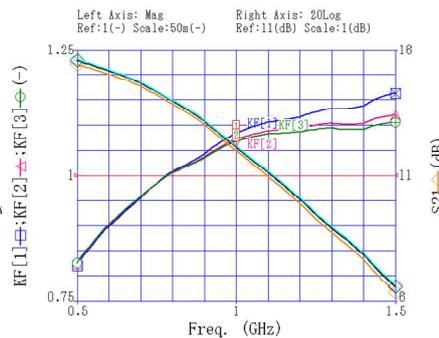


図 10



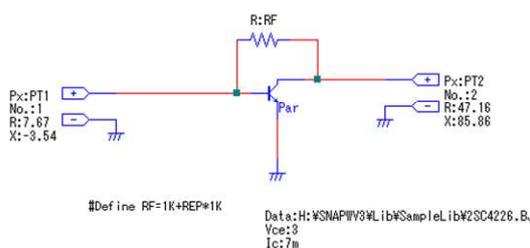
抵抗値：100Ω~300Ω



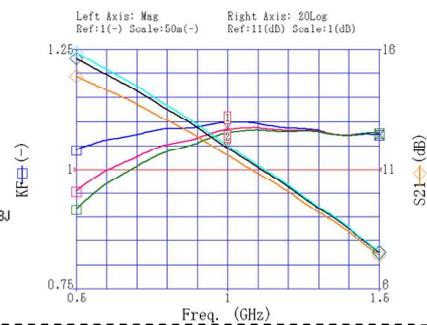
```
<< Marker 1 >>
Equ. : KF[2]
Absc. : 1G
X(Re) : 1.07088
X(Im) : 0
|X| : 1.07088

<< Marker 2 >>
Equ. : S21
Absc. : 1G
Point : 51
20Log[dB] : 12.1101
```

抵抗値：200Ω時



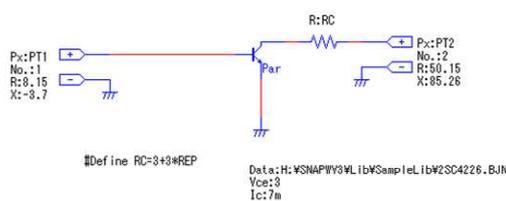
抵抗値：1KΩ~3KΩ



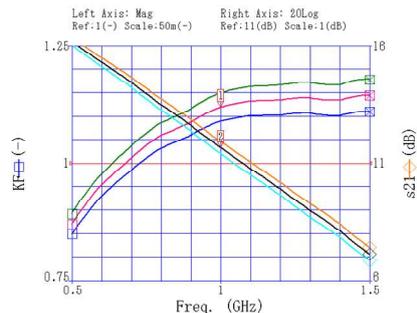
```
<< Marker 1 >>
Equ. : KF
Absc. : 1G
X(Re) : 1.08288
X(Im) : 0
|X| : 1.08288

<< Marker 2 >>
Equ. : S21
Absc. : 1G
Point : 51
20Log[dB] : 11.8913
```

抵抗値：2KΩ時



抵抗値：3Ω~9Ω



```
<< Marker 1 >>
Equ. : KF
Absc. : 1G
X(Re) : 1.11865
X(Im) : 0
|X| : 1.11865

<< Marker 2 >>
Equ. : s21
Absc. : 1G
Point : 51
20Log[dB] : 11.8403
```

抵抗値：6Ω時

図 11

Γ_s、Γ_L を計算する

RFを追加したトランジスタのSパラメータを用いて、(12),(13)式を使ってΓ_s、Γ_Lを計算し、さらにインピーダンスに変換します。

2SC4226 (Vce=3V、Ic=7mA) の場合、RF=2KΩに選ぶと、

$$KF = 1.083$$

$$Zs = 7.67 + j3.544[\Omega]$$

$$ZL = 47.15 - j85.86[\Omega]$$

となります。入出力整合回路は、これらのインピーダンスの値を用いて行います。最終的な回路例は図 12 のようになり、1GHz において入出力共に 50 Ω に整合していることがわかります。

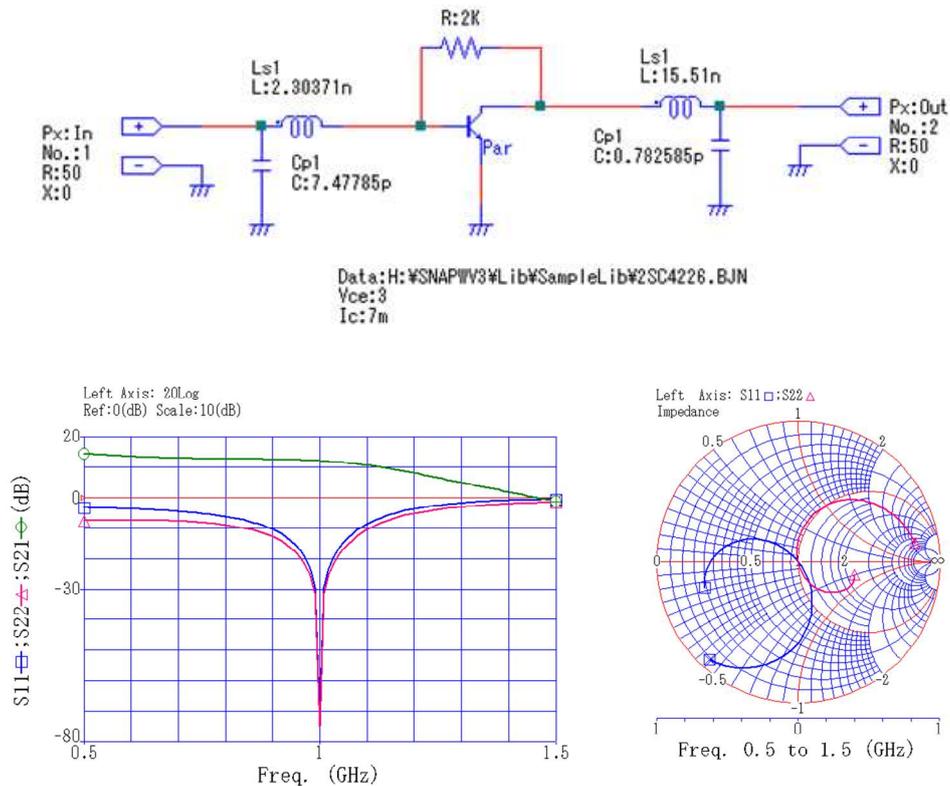
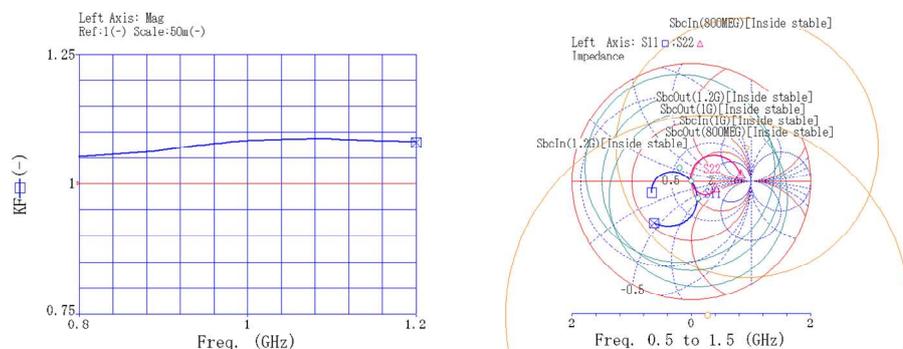


図 12 LC 整合回路を用いた最終的な回路例

安定性の確認

最後に図 12 の回路の安定性を検討してみます。K ファクタおよびスタビリティサークルを 0.8GHz~1.2GHz で表示してみると図 15 のようになります。この帯域内で K ファクタは 1.05 以上を示しており、スタビリティサークルも全ての円が内部安定で、 $|\Gamma| = 1$ の円を包含していることがわかります。



K ファクタ

スタビリティサークル

図 15

(※このシミュレーションには 2005 年発売予定の次期バージョンを用いていますが、現行バージョンでも同様のシミュレーションが可能です。)